

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-15382

(43) 公開日 平成8年(1996)1月19日

(51) Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

G 0 1 R 31/28

G 0 1 R 31/ 28

V

G

審査請求 未請求 請求項の数11 O L (全 16 頁)

(21) 出願番号 特願平6-151976
(22) 出願日 平成6年(1994)7月4日

(71) 出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中1015番地
(72) 発明者 平出 貴久
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(72) 発明者 多田 敏彦
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(74) 代理人 弁理士 真田 有

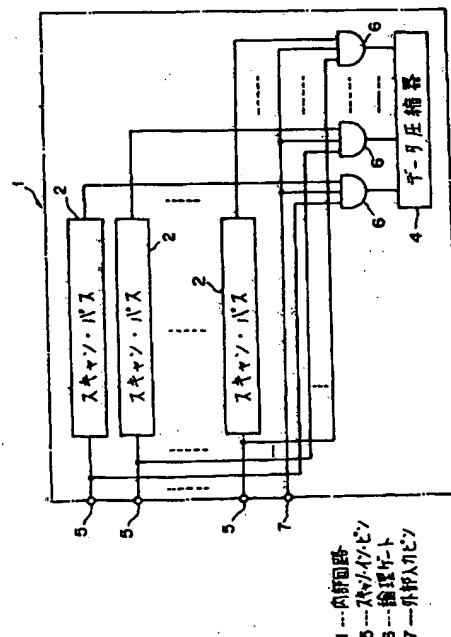
(54) 【発明の名称】 自己試験機能組込み型回路

(57) 【要約】

【目的】 本発明は、BISTタイプのLSI、プリント回路基板等の回路に関し、データ圧縮器への不定値の取込みや初期化中のデータ圧縮器の内容の破壊を防止するほか、自己試験の効率化や、LSI等の回路設計時の計算機資源および設計工数の削減をはかることを目的とする。

【構成】 各スキャン・バス2へデータを与えるスキャン・イン・ピン5と、各スキャン・バス2からの出力データと各スキャン・バス2に対応するスキャン・イン・ピン5からの入力データとの論理演算を行なう論理ゲート6とをそなえ、スキャン・バス2上の不定状態のデータが論理ゲート6を介してデータ圧縮器4へ読み出される際には、そのスキャン・バス2に対応するスキャン・イン・ピン5から論理ゲート6への入力データを、その不定状態のデータを論理ゲート6においてマスクする値に設定するように構成する。

第1の発明の原理ブロック図



【特許請求の範囲】

【請求項 1】 所定機能を果たす内部回路をそなえるとともに、

該内部回路を自己試験すべく、該内部回路上に予め形成されている複数のスキャン・バスそれぞれからの出力データを圧縮して格納するデータ圧縮器を組み込んだ自己試験機能組込み型回路であって、

各スキャン・バスヘデータを与えうるスキャン・イン・ピンをスキャン・バス毎にそなえるとともに、

各スキャン・バスからの出力データと、各スキャン・バスに対応する該スキャン・イン・ピンからの入力データとの論理演算を行なう論理ゲートをスキャン・バス毎にそなえ、

スキャン・バス上の不定状態のデータが該論理ゲートを介して該データ圧縮器へ読み出される際には、当該スキャン・バスに対応するスキャン・イン・ピンから該論理ゲートへの入力データが、当該不定状態のデータを該論理ゲートにおいてマスクする値に設定されることを特徴とする、自己試験機能組込み型回路。

【請求項 2】 各スキャン・バスからのデータ読出に際して、各スキャン・イン・ピンからの入力データを含むデータ読出パターンが、同形のパターンで連続する場合には、そのパターンと連続数とを用いて記述されることを特徴とする、請求項 1 記載の自己試験機能組込み型回路。

【請求項 3】 該スキャン・バスに対するスキャン動作と該データ圧縮器を用いた自己試験動作との切換を行なうべく切換信号を入力する外部入力ピンをそなえるとともに、該外部入力ピンからの切換信号を該論理ゲートに与え、

該内部回路の初期化中、該外部入力ピンからの切換信号をスキャン動作側に切り換えることにより、各スキャン・バスから該データ圧縮器への出力データを該論理ゲートにおいてマスクすることを特徴とする、請求項 1 または請求項 2 に記載の自己試験機能組込み型回路。

【請求項 4】 該内部回路の初期化中に該データ圧縮器へのクロック信号の入力を禁止する禁止手段をそなえたことを特徴とする、請求項 1 または請求項 2 に記載の自己試験機能組込み型回路。

【請求項 5】 所定機能を果たす内部回路をそなえるとともに、

該内部回路を自己試験すべく、該内部回路上に予め形成されている複数のスキャン・バスのそれぞれに与えるテスト・パターンを発生するパターン発生器を組み込んだ自己試験機能組込み型回路であって、

各スキャン・バスに対するスキャン動作と該パターン発生器を用いた自己試験動作との切換を行なうべく切換信号を入力する外部入力ピンをそなえるとともに、

各スキャン・バスヘデータを与えうるスキャン・イン・ピンと、

該外部入力ピンからの切換信号に応じて、各スキャン・イン・ピンからの入力データと、該パターン発生器からのテスト・パターンとのいずれか一方を切り換えて各スキャン・バスへ出力するセレクトとをスキャン・バス毎にそなえ、

通常の自己試験動作時には、該外部入力ピンからの切換信号により該セレクトを該パターン発生器側に切り換え、

該パターン発生器から各スキャン・バスへ与えられるテスト・パターンの一部を任意の値に修正する際には、該外部入力ピンからの切換信号により該セレクトを該スキャン・イン・ピン側に切り換え、該スキャン・イン・ピンから任意の値に設定したデータを各スキャン・バスへ与えて書き込むことを特徴とする、自己試験機能組込み型回路。

【請求項 6】 各スキャン・バスへのデータ書込に際して、各スキャン・イン・ピンからの入力データおよび該外部入力ピンへの切換信号を含むデータ書込パターンが、同形のパターンで連続する場合には、そのパターンと連続数とを用いて記述されることを特徴とする、請求項 5 記載の自己試験機能組込み型回路。

【請求項 7】 所定機能を果たす内部回路をそなえるとともに、

該内部回路を自己試験すべく、該内部回路上に予め形成されている複数のスキャン・バスのそれぞれに与えるテスト・パターンを発生するパターン発生器と、該内部回路上に予め形成されている複数のスキャン・バスそれぞれからの出力データを圧縮して格納するデータ圧縮器とを組み込んだ自己試験機能組込み型回路であって、

各スキャン・バスに対するスキャン動作と該パターン発生器および該データ圧縮器を用いた自己試験動作との切換を行なうべく切換信号を入力する外部入力ピンをそなえるとともに、

各スキャン・バスヘデータを与えうるスキャン・イン・ピンと、

各スキャン・バスからの出力データと、各スキャン・バスに対応する該スキャン・イン・ピンからの入力データと、該外部入力ピンからの切換信号との論理演算を行なう論理ゲートと、

該外部入力ピンからの切換信号に応じて、各スキャン・イン・ピンからの入力データと、該パターン発生器からのテスト・パターンとのいずれか一方を切り換えて各スキャン・バスへ出力するセレクトとをスキャン・バス毎にそなえ、

通常の自己試験動作時には、該外部入力ピンからの切換信号により該セレクトを該パターン発生器側に切り換え、

該パターン発生器から各スキャン・バスへ与えられるテスト・パターンの一部を任意の値に修正する際には、該外部入力ピンからの切換信号により該セレクトを該スキャン

キャン・イン・ピン側に切り換え、該スキャン・イン・ピンから任意の値に設定したデータを各スキャン・バスへ与えて書き込む一方、

スキャン・バス上の不定状態のデータが該論理ゲートを介して該データ圧縮器へ読み出される際には、当該スキャン・バスに対応するスキャン・イン・ピンから該論理ゲートへの入力データが、当該不定状態のデータを該論理ゲートにおいてマスクする値に設定され、

該内部回路の初期化中、該外部入力ピンからの切換信号をスキャン動作側に切り換えることにより、各スキャン・バスから該データ圧縮器への出力データを該論理ゲートにおいてマスクすることを特徴とする、自己試験機能組込み型回路。

【請求項8】 各スキャン・バスからのデータ読出に際して、各スキャン・イン・ピンからの入力データを含むデータ読出パターンが、同形のパターンで連続する場合には、そのパターンと連続数とを用いて記述されることを特徴とする、請求項7記載の自己試験機能組込み型回路。

【請求項9】 各スキャン・バスへのデータ書込に際して、各スキャン・イン・ピンからの入力データおよび該外部入力ピンへの切換信号を含むデータ書込パターンが、同形のパターンで連続する場合には、そのパターンと連続数とを用いて記述されることを特徴とする、請求項7または請求項8に記載の自己試験機能組込み型回路。

【請求項10】 該内部回路の初期化中に該データ圧縮器へのクロック信号の入力を禁止する禁止手段をそなえたことを特徴とする、請求項7～9のいずれかに記載の自己試験機能組込み型回路。

【請求項11】 該パターン発生器および該データ圧縮器からなるスキャン・チェーンをバウンダリ・スキャン内の1チェーンとして構成し、当該スキャン・チェーンのシフト・イン/シフト・アウト動作および自己試験動作をそれぞれ指示するための命令コードが、命令レジスタの動作コードとして予め割り当てられていることを特徴とする、請求項7～10のいずれかに記載の自己試験機能組込み型回路。

【発明の詳細な説明】

【0001】 (目次)

産業上の利用分野

従来の技術 (図17、図18)

発明が解決しようとする課題

課題を解決するための手段 (図1～図3)

作用 (図1～図3)

実施例 (図4～図16)

発明の効果

【0002】

【産業上の利用分野】 本発明は、自己試験機能を予め組み込まれたLSI、プリント回路基板等の自己試験機能

組込み型回路に関する。

【0003】

【従来の技術】 一般に、LSI等の回路の製造不良を検出するためには、被テスト回路にテスト・パターンを印加し、その出力を期待値 (正常動作の出力：論理/故障シミュレーションの結果) と比較するのが一般的であるが、LSIについては、近年、その大規模化に伴いテスト・パターンの作成が困難となり、テスト・パターンの作成時間がLSI設計時間の大きな割合を占めるようになってきている。

【0004】 例えば、図17は、複数 (図中3本) のスキャンバスを有する一般的なスキャン回路 (LSI) を示すもので、この図17において、100はスキャン回路、101は所定機能を果たす内部回路を構成すべくスキャン回路100上に配置される回路構成要素で例えばフリップ・フロップ (FF) である。また、102A～102Cはスキャン・バスで、各スキャン・バス102A～102Cは、スキャン回路100上に予め複数 (図中3本) 形成され、複数のフリップ・フロップ101をチェーン状に接続するものである。

【0005】 そして、スキャン回路100には、各スキャン・バス102A～102Cへテスト用のデータ (テスト・パターン) を与えるためのスキャン・イン・ピン (SIピン) 103A～103Cと、各スキャン・バス102A～102Cからの出力データを取り出すためのスキャン・アウト・ピン (SOピン) 104A～104Cと、スキャン回路100を動作させるためのクロック信号を入力するスキャン・クロック・ピン (SCKピン) 105とが外部入力ピンとして設けられている。

【0006】 各スキャン・バス102A～102Cの両端は、それぞれ、SIピン103A～103C、および、SOピン104A～104Cに接続されている。また、SCKピン105から入力されるクロック信号は、スキャン回路100上の全てのフリップ・フロップ101のクロック端子に入力されるようになってきている。スキャン動作時には、各スキャン・バス102A～102C上のフリップ・フロップ101はシフトレジスタとして動作し、SCKピン105からクロック信号を与えることにより、各SIピン103A～103Cに与えられた値が、順次、各スキャン・バス102A～102C上の次のフリップ・フロップ101へシフト・インされていく。また同時に、各SOピン104A～104Cには、各スキャン・バス102A～102C上のフリップ・フロップ101の値が、順次、スキャン・アウトされていく。

【0007】 このようにして被テスト回路 (LSI) の外部からテスト・パターンを印加する試験手段に加え、近年、BIST (Built In Self Test) と呼ばれる組込み自己試験が各回路で行なわれるようになってきている。このBISTタイプの回路では、例えばLSIの内部にパタ

ーン発生器〔LFSR (Linear Feedback Shift Register) やカウンタ、ROM格納パターン等〕、データ分析器〔MISR (Multiple-Input Signature Register) やコンパレータ、ROM格納データ等〕およびこれらを制御するための制御回路を組み込む必要がある。

【0008】BISTを用いた試験では、パターン発生器で発生されるテスト・パターンが被テスト回路 (LSI) の内部回路に印加され、その出力結果がデータ分析器で検証される。データ分析器としては、MISRが使用される場合が多く、出力結果をシグネチャ (Signature) としてMISRに圧縮して格納するので、データ分析器をデータ圧縮器と呼んでいる。本発明においても、データ分析器としてMISRが使用されることを前提としているので、以後、データ分析器の代わりにデータ圧縮器を用いる。

【0009】図18は、複数 (図中3本) のスキャンバスを有する一般的なBISTタイプの回路 (LSI) を示すもので、この図18において、110はBISTタイプの回路で、図17に示したものと同様に、その回路110上には、所定機能を果たす内部回路を構成する回路構成要素としてのフリップ・フロップ (FF) 101や、複数のフリップ・フロップ101をチェーン状に接続するように予め形成された複数 (3本) のスキャン・バス102A~102Cが配置されている。

【0010】また、111は各スキャン・バス102A~102Cに入力するテスト・パターンを発生するLFSR (パターン発生器)、112は各スキャン・バス102A~102Cからの出力データを圧縮して格納するMISR (データ圧縮器) である。ここで、LFSR111およびMISR112は、いずれも排他的論理和ゲートを介したフィードバック付きのシフトレジスタで構成されている (後述の図5~図7参照)。

【0011】なお、各シフトレジスタはSCKピン105からのクロック信号によりシフト動作するようになっている。また、図18中、103はLFSR111に接続されるスキャン・イン・ピン (SIピン)、104はMISR112に接続されるスキャン・アウト・ピン (SOピン) である。さらに、図17に示したスキャン回路100と同様に、各フリップ・フロップ101のクロック端子には、SCKピン105からのクロック信号が入力されるようになっている。

【0012】そして、自己試験動作時には、LFSR111が疑似乱数を発生し、各スキャン・バス102A~102C上のフリップ・フロップ101に与えられ、各スキャン・バス102A~102C上のフリップ・フロップ101はシフトレジスタとして動作し、SCKピン105からクロック信号を与えることにより、各スキャン・バス102A~102Cに与えられた値が、順次、次のフリップ・フロップ101へシフト・インされていく。

【0013】また同時に、各スキャン・バス102A~102C上のフリップ・フロップ101の値が、順次、シフト・アウトされて、MISR112に圧縮されて格納されていく。最後に、MISR112に圧縮・格納されたデータをスキャン・アウト・ピンSOから読み出すことにより、回路 (LSI) 110の不良判定を行なっている。

【0014】以上のようなBISTタイプの回路110における自己試験動作は、回路110にクロック信号を与えることにより、内部に組み込まれた自己試験回路 (LFSR111、MISR112等) で行なわれ、最小限の情報 (MISR112に蓄積されたデータ) のみを外部に読み出せばよい。このBISTタイプの回路では、以下のような利点がある。

【0015】①パターン発生器としてLFSRやカウンタを用いた場合、外部から与えるテスト・パターンを作成する必要がないため、LSIの設計工数を削減することができる。

②テスト・パターンは組み込まれたパターン発生器から印加され、データ圧縮器に取り込んだ結果を読み出すことができればよいので、高価なテスト装置を必要としない。

【0016】大規模LSIには、図17に示すようなスキャン設計が常識であるが、近年、上述のような利点が得られることから、図18に示すようなBIST回路を使用するLSIが増えている。

【0017】

【発明が解決しようとする課題】しかしながら、BISTでは、その試験の信頼性を簡単には算定できないという欠点がある。通常、LSIの試験の信頼性は、診断率 (%) として $\{ \text{検出故障数} \} / \{ \text{総故障数} \} \times 100$ で算定される。故障検出の判定には被テストLSIのモデルとテスト・パターンとを用いて故障シミュレーションを行なう必要がある。一方、BISTのパターン発生器にはLFSRなどの疑似乱数発生器が使用され、十分な診断率を得るためにはかなりの長大なパターンが必要となる。一般的に故障シミュレーションには非常に時間がかかり、BISTで印加するような長大パターンを評価するには大変な工数が必要となる。

【0018】また、BISTのデータ圧縮器には一般的にMISRが用いられるが、MISRは排他的論理和ゲートを介したフィードバック付きのシフトレジスタで構成されるため (後述の図5参照)、一度でも不定状態のデータが、このようなMISR等のデータ圧縮器に取り込まれると、このMISR内の圧縮された全てのデータ (シフトレジスタ) が不定状態になってしまい、MISRに圧縮されたデータを読み出すことは意味のないことになってしまう。

【0019】一般に、LSIの内部記憶素子は電源投入時には不定状態であるので、BISTを行なう前に必ず

内部記憶素子の状態をリセットしたりスキャンすることにより、不定状態ではない明確な値に設定しなければならない。しかし、内部記憶素子の中には単純な手順では初期化できないものもあり、このようなLSIに対してBISTを適用するには特別な注意が必要となる。

【0020】また、データ圧縮器、特にMISRなどのデータ圧縮器では、クロック信号を1回印加する毎にその内容を更新しており、内部記憶素子の初期化パターン印加中であってもこの更新は行なわれるため、MISRの内容が破壊され、テスト・パターン発生プログラムはMISRの内容をモニタする必要があり、処理が煩雑になる。

【0021】さらに、一般的なテスト・データは、複数の外部入力ピンに印加する値のリストがパターン数分記述される。従って、大規模なLSIに対するテスト・データは非常に膨大なものになる（例えば後述の図9、図13参照）。これに対して、BISTを用いたテスト・データはBISTを動作させるためのクロック信号の印加回数のみが記述されるだけなので（例えば後述の図10、図14参照）、計算機資源の面やテスト装置へのテスト・データのロード時間の面でも非常に有利である。しかし、前述した通り、BISTのみを用いたテスト・データは汎用性に欠け、満足な診断率を得るためには長大なパターンを必要とし、さらに内部記憶素子を初期化するための付加回路やテスト・パターンが必要になる。

【0022】また、LSI等の被テスト回路上の特定の回路によっては、印加・設定する値を固定したい場合があるが、現状のBISTでは、パターン発生器で発生された疑似乱数が印加されるだけであるので、特定の回路における値を任意に印加・設定することはできず、上述のような値の固定を行なうことは不可能であるなどの課題もある。

【0023】本発明は、このような課題に鑑み創案されたもので、データ圧縮器に不定状態のデータが取り込まれたり初期化中にデータ圧縮器の内容が破壊されたりするのを防止して確実に容易に自己試験を行なえるようにするほか、スキャン動作とBIST動作とを組み合わせることにより、コンパクトで効率的なテスト・データの作成を可能にして、自己試験の効率化や、LSI等の回路設計時の計算機資源および設計工数の削減をはかった自己試験機能組込み型回路を提供することを目的とする。

【0024】

【課題を解決するための手段】図1は第1の発明の原理ブロック図で、この図1において、1は所定機能を果たす内部回路で、この内部回路1を自己試験すべく、内部回路1上には、複数のスキャン・パス2が予め形成されるとともに、各スキャン・パス2からの出力データを圧縮して格納するデータ圧縮器4が組み込まれている。

【0025】また、5は各スキャン・パス2へデータを与えるスキャン・イン・ピン、6はスキャン・パス2毎にそなえられた論理ゲート6で、各論理ゲート6は、各スキャン・パス2からの出力データと、各スキャン・パス2に対応するスキャン・イン・ピン5からの入力データとの論理演算を行なうものである。そして、第1の発明では、スキャン・パス2上の不定状態のデータが論理ゲート6を介してデータ圧縮器4へ読み出される際には、そのスキャン・パス2に対応するスキャン・イン・ピン5から論理ゲート6への入力データが、その不定状態のデータを論理ゲート6においてマスクする値に設定される（請求項1）。

【0026】なお、各スキャン・パス2からのデータ読出に際して、各スキャン・イン・ピン5からの入力データを含むデータ読出パターンを、同形のパターンで連続する場合には、そのパターンと連続数とを用いて記述してもよい（請求項2）。また、スキャン・パス2に対するスキャン動作とデータ圧縮器4を用いた自己試験動作との切換を行なうべく切換信号を入力する外部入力ピン7をそなえ、この外部入力ピン7からの切換信号を論理ゲート6に与え、内部回路1の初期化中、外部入力ピン7からの切換信号をスキャン動作側に切り換えることにより、各スキャン・パス2からデータ圧縮器4への出力データを論理ゲート6においてマスクしてもよい（請求項3）、内部回路1の初期化中にデータ圧縮器4へのクロック信号の入力を禁止する禁止手段をそなえてもよい（請求項4）。

【0027】図2は第2の発明の原理ブロック図で、この図2において、前述と同様、1は内部回路、2はスキャン・パスであり、3は内部回路1上に組み込まれたパターン発生器で、このパターン発生器3は、各スキャン・パス2に与えるテスト・パターンを発生するものである。また、各スキャン・パス2に対するスキャン動作とパターン発生器3を用いた自己試験動作との切換を行なうべく切換信号を入力する外部入力ピン7がそなえられるほか、各スキャン・パス2毎に、スキャン・イン・ピン5およびセクタ8がそなえられている。

【0028】ここで、スキャン・イン・ピン5は、各スキャン・パス2へデータを与えるものであり、セクタ8は、外部入力ピン7からの切換信号に応じて、各スキャン・イン・ピン5からの入力データと、パターン発生器3からのテスト・パターンとのいずれか一方を切り換えて各スキャン・パス2へ出力するものである。そして、第2の発明では、通常の自己試験動作時には、外部入力ピン7からの切換信号によりセクタ8をパターン発生器3側に切り換え、パターン発生器3から各スキャン・パス2へ与えられるテスト・パターンの一部を任意の値に修正する際には、外部入力ピン7からの切換信号によりセクタ8をスキャン・イン・ピン5側に切り換え、スキャン・イン・ピン5から任意の値に設定したデ

ータを各スキャン・バス 2 へ与えて書き込む（請求項 5）。

【0029】なお、各スキャン・バス 2 へのデータ書込に際して、各スキャン・イン・ピン 5 からの入力データおよび外部入力ピン 7 への切換信号を含むデータ書込パターンを、同形のパターンで連続する場合には、そのパターンと連続数とを用いて記述してもよい（請求項 6）。図 3 は第 3 の発明の原理ブロック図で、この図 3 に示すように、この第 3 の発明は前述した第 1 の発明と第 2 の発明とを組み合わせたものになっている。つまり、前述と同様、1 は内部回路、2 はスキャン・バス、3 はパターン発生器、4 はデータ圧縮器、5 はスキャン・イン・ピン、6 は論理ゲート、7 は外部入力ピン、8 はセレクトアである。

【0030】そして、通常の自己試験動作時には、外部入力ピン 7 からの切換信号によりセレクトア 8 をパターン発生器 3 側に切り換える。また、パターン発生器 3 から各スキャン・バス 2 へ与えられるテスト・パターンの一部を任意の値に修正する際には、外部入力ピン 7 からの切換信号によりセレクトア 8 をスキャン・イン・ピン 5 側に切り換え、スキャン・イン・ピン 5 から任意の値に設定したデータを各スキャン・バス 2 へ与えて書き込む。

【0031】一方、スキャン・バス 2 上の不定状態のデータが論理ゲート 6 を介してデータ圧縮器 4 へ読み出される際には、そのスキャン・バス 2 に対応するスキャン・イン・ピン 5 から論理ゲート 6 への入力データが、その不定状態のデータを論理ゲート 6 においてマスクする値に設定される。さらに、内部回路 1 の初期化中、外部入力ピン 7 からの切換信号をスキャン動作側に切り換えることにより、各スキャン・バス 2 からデータ圧縮器 4 への出力データを論理ゲート 6 においてマスクする（請求項 7）。

【0032】なお、各スキャン・バス 2 からのデータ読出に際して、各スキャン・イン・ピン 5 からの入力データを含むデータ読出パターンを、同形のパターンで連続する場合には、そのパターンと連続数とを用いて記述してもよい（請求項 8）、各スキャン・バス 2 へのデータ書込に際して、各スキャン・イン・ピン 5 からの入力データおよび外部入力ピン 7 への切換信号を含むデータ書込パターンが、同形のパターンで連続する場合には、そのパターンと連続数とを用いて記述してもよい（請求項 9）。

【0033】また、内部回路 1 の初期化中にデータ圧縮器 4 へのクロック信号の入力を禁止する禁止手段をそなえてもよい（請求項 10）。さらに、パターン発生器 3 およびデータ圧縮器 4 からなるスキャン・チェーンをバウンダリ・スキャン内の 1 チェーンとして構成し、そのスキャン・チェーンのシフト・イン/シフト・アウト動作および自己試験動作をそれぞれ指示するための命令コードを、命令レジスタの動作コードとして予め割り当て

るように構成することもできる（請求項 11）。

【0034】

【作用】上述した第 1 の発明の自己試験機能組込み型回路では、外部入力ピン 7 の状態値を適宜設定することにより、スキャン・バス 2 から不定状態のデータが読み出される場合に、その不定状態のデータを論理ゲート 6 でマスクすることができ、データ圧縮器 4 における圧縮データが不定値になるのを防止できる（請求項 1）。

【0035】なお、各スキャン・バス 2 からのデータ読出のためのパターンを、同形のパターンで連続する場合には、そのパターンと連続数とを用いることにより、コンパクトに記述できる（請求項 2）。また、外部入力ピン 7 からの切換信号を論理ゲート 6 に与え、内部回路 1 における内部記憶素子等の初期化中、外部入力ピン 7 からの切換信号をスキャン動作側に切り換えることにより、各スキャン・バス 2 からデータ圧縮器 4 への出力データが論理ゲート 6 においてマスクされ、データ圧縮器 4 の初期値を保持することが可能になり、内部回路 1 の初期化中にデータ圧縮器 4 の内容が破壊されるのを防止できる（請求項 3）。

【0036】さらに、内部回路 1 の初期化中に、禁止手段によりデータ圧縮器 4 へのクロック信号の入力を禁止してデータ圧縮器 4 へのクロック信号の印加を停止することによっても、データ圧縮器 4 の内容を保持でき、内部回路 1 の初期化中にデータ圧縮器 4 の内容が破壊されるのを防止できる（請求項 4）。上述した第 2 の発明の自己試験機能組込み型回路では、外部入力ピン 7 からの切換信号によりセレクトア 8 をパターン発生器 3 側に切り換えておくことにより、自己試験動作が実行されるが、この自己試験動作中に、外部入力ピン 7 からの切換信号によりセレクトア 8 をスキャン・イン・ピン 5 側に切り換え、スキャン・イン・ピン 5 から任意の値に設定したデータを各スキャン・バス 2 へ与えて書き込むことにより、パターン発生器 3 から各スキャン・バス 2 へ与えられるテスト・パターンの一部を任意の値に修正することができる（請求項 5）。

【0037】なお、各スキャン・バス 2 へのデータ書込のためのパターンを、同形のパターンで連続する場合には、そのパターンと連続数とを用いることにより、コンパクトに記述できる（請求項 6）。上述した第 3 の発明の自己試験機能組込み型回路では、外部入力ピン 7 からの切換信号によりセレクトア 8 をパターン発生器 3 側に切り換えておくことにより、自己試験動作が実行されるが、この自己試験動作中に、外部入力ピン 7 からの切換信号によりセレクトア 8 をスキャン・イン・ピン 5 側に切り換え、スキャン・イン・ピン 5 から任意の値に設定したデータを各スキャン・バス 2 へ与えて書き込むことにより、パターン発生器 3 から各スキャン・バス 2 へ与えられるテスト・パターンの一部を任意の値に修正することができる。

【0038】一方、自己試験動作中、スキャン・イン・ピン5の状態値を適宜設定することにより、スキャン・バス2から不定状態のデータが読み出される場合に、その不定状態のデータを論理ゲート6でマスクすることができ、データ圧縮器4における圧縮データが不定値になるのを防止できる。さらに、内部回路1における内部記憶素子等の初期化中、外部入力ピン7からの切換信号をスキャン動作側に切り換えることにより、各スキャン・バス2からデータ圧縮器4への出力データが論理ゲート6においてマスクされ、データ圧縮器4の初期値を保持することが可能になり、内部回路1の初期化中にデータ圧縮器4の内容が破壊されるのを防止できる（請求項7）。

【0039】なお、各スキャン・バス2からのデータ読出のためのパターンや各スキャン・バス2へのデータ書込のためのパターンを、同形のパターンで連続する場合に、そのパターンと連続数とを用いることにより、コンパクトに記述できる（請求項8、9）。また、内部回路1の初期化中に、禁止手段によりデータ圧縮器4へのクロック信号の入力を禁止してデータ圧縮器4へのクロック信号の印加を停止することによっても、データ圧縮器4の内容を保持でき、内部回路1の初期化中にデータ圧縮器4の内容が破壊されるのを防止できる（請求項10）。

【0040】さらに、パターン発生器3およびデータ圧縮器4からなるスキャン・チェーンをバウンダリ・スキャン内の1チェーンとし、そのスキャン・チェーンのシフト・イン/シフト・アウト動作および自己試験動作をそれぞれ指示するための命令コードを、命令レジスタの動作コードとして予め割り当てるように構成することにより、本発明を、バウンダリ・スキャン方式を採用する回路にも適用することができる（請求項11）。

【0041】

【実施例】以下、図面を参照して本発明の実施例を説明する。図4は本発明の一実施例としての自己試験機能組み込み型回路の構成を示すブロック図であり、この図4において、10は本実施例の回路（例えばLSI）、11はこの回路10上において所定機能を果たす内部回路であり、この内部回路11は、多数の回路構成要素、例えばフリップ・フロップ（FF）により構成されている。

【0042】そして、この内部回路11を自己試験すべく、回路10上には、複数（図中では3本）のスキャン・バス12A～12Cが予め形成され、各スキャン・バス12A～12Cは、複数（図中では5個）のフリップ・フロップ101をチェーン状に接続するものである。また、回路10には、各スキャン・バス12A～12Cへテスト用のデータ（テスト・パターン）を与えるためのスキャン・イン・ピン（SIピン）15A～15Bと、各スキャン・バス12A～12Cからの出力データを取り出すためのスキャン・アウト・ピン（SOピン）

19A～19Cと、回路10を動作させるためのクロック信号を入力するスキャン・クロック・ピン（SCKピン）20とが外部入力ピンとして設けられるほか、各スキャン・バス12A～12Cに対するスキャン動作と自己試験（BIST）動作との切換を行なうべく切換信号を入力するBE（BIST Enable）ピン17が外部入力ピンとして設けられている。なお、SCKピン20から入力されるクロック信号は、回路10上の全てのフリップ・フロップ101のクロック端子に入力されるようになっている。

【0043】さらに、13は回路10上に組み込まれ各スキャン・バス12A～12Cに入力するテスト・パターンを発生するLFSR（パターン発生器）、14は回路10上に組み込まれ各スキャン・バス12A～12Cからの出力データを圧縮して格納するMISR（データ圧縮器）である。ここで、LFSR13およびMISR14は、それぞれ図6、図5に示すように、複数の排他的論理和（XOR）ゲート21を介したフィードバック付きの複数のシフトレジスタ22で構成されている。そして、各シフトレジスタ22はSCKピン20からのクロック信号によりシフト動作するようになっている。また、図4に示すように、LFSR13にはスキャン・イン・ピン（SIピン）15が接続されるとともに、MISR14にはスキャン・アウト・ピン（SOピン）19が接続されている。

【0044】ところで、図4、図5に示すように、各スキャン・バス12A～12Cの出力側のラインは、SOピン19A～19Cに接続されるとともに、それぞれANDゲート（論理ゲート）16A～16Cを介してMISR14における各XORゲート21に接続されている。各ANDゲート16A～16Cは、各スキャン・バス12A～12Cからの出力データと、各スキャン・バス12A～12Cに対応するSIピン15A～15Cからの入力データと、BEピン17からの切換信号〔スキャン動作時にオフ“0”となりBIST動作時にオン“1”となる信号〕とを入力され、これらの論理積を算出してMISR14における各XORゲート21へ出力するものである。

【0045】また、図4、図6に示すように、各スキャン・バス12A～12Cの入力側のラインは、それぞれセレクト18A～18Cを介してSIピン15A～15CとLFSR13とに接続されている。各セレクト18A～18Cは、BEピン17からの切換信号に応じて、各SIピン15A～15Cからの入力データと、LFSR13からのテスト・パターンとのいずれか一方を切り換えて各スキャン・バス12A～12Cへ出力するものである。つまり、各セレクト18A～18Cは、BEピン17からの切換信号によりスキャン動作が選択されている場合には各SIピン15A～15Cからの入力データを各スキャン・バス12A～12Cへ出力する一方、

BEピン17からの切換信号によりBIST動作が選択されている場合にはLFSR13からのテスト・パターンを各スキャン・パス12A~12Cへ出力するものである。

【0046】上述の構成により、本実施例の自己試験機能組込み型回路では、BEピン17への切換信号をオフ“0”とすることにより、各セクタ18A~18Cは各S1ピン15A~15C側に切り換えられるとともに、各ANDゲート16A~16CからMISR14への出力は“0”に固定され、回路10の各スキャン・パス12A~12Cではスキャン動作が行なわれることになる。

【0047】つまり、スキャン動作時には、各スキャン・パス12A~12C上のフリップ・フロップ101はシフトレジスタとして動作し、SCKピン20からクロック信号を与えることにより、各S1ピン15A~15Cに与えられた値が、各セクタ18A~18Cを介して、順次、各スキャン・パス12A~12C上の次のフリップ・フロップ101へシフト・インされていく。また同時に、各SOピン19A~19Cには、各スキャン・パス12A~12C上のフリップ・フロップ101の値が、順次、スキャン・アウトされていく。

【0048】一方、BEピン17への切換信号をオン“1”とすることにより、各セクタ18A~18CはLFSR13側に切り換えられるとともに、各ANDゲート16A~16CからMISR14への出力は、各スキャン・パス12A~12Cからの出力データと、各スキャン・パス12A~12Cに対応するS1ピン15A~15Cからの入力データとの論理積となり、回路10の各スキャン・パス12A~12CではBIST動作が行なわれることになる。

【0049】つまり、BIST動作時には、LFSR13が疑似乱数を発生し、各スキャン・パス12A~12C上のフリップ・フロップ101に与えられ、各スキャン・パス12A~12C上のフリップ・フロップ101はシフトレジスタとして動作し、SCKピン20からクロック信号を与えることにより、各スキャン・パス12A~12Cに与えられた値が、各セクタ18A~18Cを介して順次、次のフリップ・フロップ101へシフト・インされていく。

【0050】また同時に、各スキャン・パス12A~12C上のフリップ・フロップ101の値（出力データ）が、順次、シフト・アウトされて、各ANDゲート16A~16Cにより各スキャン・パス12A~12Cに対応するS1ピン15A~15Cからの入力データとの論理積を算出された後、その論理積が、MISR14に圧縮されて格納されていく。最後に、MISR14に圧縮・格納されたデータをSOピン19から読み出すことにより、回路（LSI）10の不良判定が行なわれるようになっている。

【0051】このとき、通常のATPG（Automatic Test Pattern Generation:自動テストパターン生成）では、全ての内部記憶を初期化する必要はないため、各スキャン・パス12A~12Cからの出力データに不定状態が現れる場合がある。MISR14は、図5に示すように、フィードバック付きのシフトレジスタ22で構成され、各スキャン・パス12A~12Cからの出力データをXORゲート21を通してMISR14内のシフトレジスタ22に圧縮してゆくと、上述のように各スキャン・パス12A~12Cからの出力データに不定状態が現れた場合、XORゲート21が使用されるため、不定状態はそのままシフトレジスタ22に取り込まれ、さらに、フィードバック・ループがあるため、一つのシフトレジスタ22が不定状態になると、全てのシフトレジスタ22が不定状態になってしまう。

【0052】そこで、本実施例では、BIST動作時に、図4、図5に示すように、各スキャン・パス12A~12Cからの出力データをそのままMISR14に入力せずに、各ANDゲート16A~16Cにより、各スキャン・パス12A~12Cからの出力データと、各スキャン・パス12A~12Cに対応するS1ピン15A~15Cからの入力データとの論理積を算出して、MISR14に対して出力している。

【0053】即ち、本実施例では、スキャン・パス12A~12Cからの出力データが不定状態になる場合には、対応するスキャン・パス12A~12CのS1ピン15A~15Cからの値（入力データ）を“0”に設定することにより、対応するANDゲート16A~16CからMISR14への出力値を“0”にして、スキャン・パス12A~12CからMISR14への不定状態のデータがANDゲート16A~16Cでマスクされる。

【0054】このように、S1ピン15A~15Cの状態値を適宜設定することにより、スキャン・パス12A~12Cから不定状態のデータが読み出される場合に、その不定状態のデータをANDゲート16A~16Cでマスクすることができ、MISR14における圧縮データが不定値になるのを確実に防止できる。ここで、具体的な例として、図8に示すようなスキャン・アウト・データが得られる場合、本実施例による、不定状態のデータ（図8中の“U（Unknown）”）がMISR14に取り込まれることのないテスト・パターンの作成例について説明する。

【0055】なお、図9~図11は、それぞれ、図8に示すスキャン・アウト・データに対する、図17に示すスキャン回路、図18に示すBIST回路、図4（図5）に示す本実施例の回路によるデータ読出パターン（テスト・データ）の記述例を示している。図9~図11において、“N”はSCKピンから入力されネガティブ・パルスのクロック信号を示し、SOピンから出力される出力データの“X”は、“0”または“1”の不定

状態でない値が出力されることを示している。

【0056】図9に示すように、スキャン回路では、スキャンすべきフリップ・フロップ数分のパターン記述が必要となるので、図8に示すスキャン・アウト・データに対しては12行でテスト・データが記述される。大規模なLSIでは、一つのスキャン・パス上のフリップ・フロップ数は極めて多くなるので、そのテスト・データは非常に膨大なものになる。

【0057】図10に示すように、BIST回路では、繰り返し記述子〔REPEAT（繰り返し開始）/REPEND（繰り返し終了）〕を用いることにより、図8に示すスキャン・アウト・データに対しては3行でテスト・データを記述することができる。なお、繰り返し記述子“REPEAT”と“REPEND”とで囲まれたパターンは、繰り返し記述子“REPEAT”の後に指定された回数だけ繰り返される。ただし、前述したように、このようなデータ記述により、図8に示すスキャン・アウト・データを処理した場合、MISR14には不定値“U”が取り込まれることになるので、テスト・データとして使用することはできない。

【0058】これに対し、本実施例の回路では、図11に示すように、前記繰り返し記述子を使用することにより、図8に示すスキャン・アウト・データに対して、図9に示したスキャン回路の場合よりも少ない7行でテスト・データの記述が可能になる。実際には、MISR14から圧縮されたデータを外部に読み出すためのパターンも必要であるが、スキャン・アウト・パターン（フリップ・フロップ数～数千）に比べれば無視することができる。

【0059】図8に示すスキャン・アウト・データでは、5番目に不定値“U”がスキャン・パス12A～12Cから出力されるので、5番目のパターンで対応するSIピン15A～15Cの状態値を“0”に設定し、ANDゲート16A～16CからMISR14への値を“0”にして、スキャン・パス12A～12Cからの不定値“U”が対応するANDゲート16A～16Cでマスクされる。5番目以外は不定値ではないので、各SIピン15A～15Cの状態値を“1”に設定し、スキャン・パス12A～12Cからの出力データをMISR14に入力する。このとき、図11に示すように、同じパターン（1～4番目と6～12番目）は繰り返し記述子を用いてまとめることができる。

【0060】さて、図6により前述した通り、LFSR13もフィードバック付きのシフトレジスタ22で構成され、その出力（テスト・パターン）と、外部の各SIピン15A～15Cからの入力データとが各セクタ18A～18Cを通して各スキャン・パス12A～12Cに入力される。BEピン17がオフ“0”の時、各SIピン15A～15Cの値が各セクタ18A～18Cにより選択されて各スキャン・パス12A～12Cにシフ

ト・インされ、BEピン17がオン“1”の時、LFSR13の出力が各セクタ18A～18Cにより選択されて各スキャン・パス12A～12Cにシフト・インされる。

【0061】通常はBEピン17をオン“1”として、LFSR13からの出力をシフト・インしていくが、各スキャン・パス12A～12C上の特定のフリップ・フロップ101をクリップしたり、そのフリップ・フロップ101に特別な値を設定したい場合、BEピン17をオフ“0”にして、各SIピン15A～15Cから所望のデータをシフト・インすることができる。

【0062】ATPGでは、LSI内部回路のある一つの故障を対象として、それを検出するためのテスト・パターンを作成する。実際に故障を検出するために設定しなければならない外部入力やスキャン対象のフリップ・フロップの数は少なく、その他にはBIST回路から発生される疑似乱数を設定しても問題ない。図4、図6に示す回路を用いて、スキャン動作とBIST動作とを適宜に切り換えることにより、そのようなテスト・パターンを作成することができる。また、前述した繰り返し記述子を用いることにより、BIST動作時のテスト・データ記述は少なくて済むので、全体のテスト・データ量も大幅に削減することができる。

【0063】ここで、具体的な例として、図12に示すようなスキャン・イン・データをスキャン・パス上の各フリップ・フロップに設定する場合についてのテスト・パターンの作成例について説明する。なお、図12中、“D0”、“D1”はATPGにより決定された値で“0”または“1”のいずれか一方に特定されるものであるが、その他の“0”や“1”で示す部分は乱数で置き換えても問題ない。

【0064】また、図13～図15は、それぞれ、図12に示すスキャン・イン・データに対する、図17に示すスキャン回路、図18に示すBIST回路、図4（図6）に示す本実施例の回路によるデータ書込パターン（テスト・データ）の記述例を示している。図13に示すように、スキャン回路では、スキャンすべきフリップ・フロップ数分のパターン記述が必要となるので、図12に示すスキャン・イン・データに対しては12行でテスト・データが記述される。この場合、順次、データを書き込むことにより、特定のフリップ・フロップに対して特定の値“D0（0）”、“D1（1）”を設定することはできるが、大規模なLSIでは、一つのスキャン・パス上のフリップ・フロップ数は極めて多くなるので、そのテスト・データは非常に膨大なものになる。

【0065】図14に示すように、BIST回路では、繰り返し記述子〔REPEAT/REPEND〕を用いることにより、図12に示すスキャン・イン・データに対しては3行でテスト・データを記述することができる。なお、繰り返し記述子“REPEAT”、“REPEND”の機能は図10に

より前述した通りである。ただし、このようなデータ記述では、図12に示すように、特定のフリップ・フロップに対して特定の値“D0(0)”, “D1(1)”を設定することができず、LFSR13により発生された疑似乱数が設定されるため、対象とした故障を検出できるとは限らない。

【0066】これに対し、本実施例の回路では、図15に示すように、前記繰り返し記述子を使用することにより、図12に示すスキャン・イン・データに対して、図13に示したスキャン回路の場合よりも少ない8行でテスト・データの記述が可能になる。図12に示すスキャン・イン・データでは、強制的に4番目に“0”, 5番目に“1”を設定しなければならないので、4番目および5番目のデータをシフト・インする際には、BEピン17をオフ“0”に設定し、セクタ18A~18CをS1ピン15A~15C側に切り換え、このS1ピン15A~15Cから設定された値“0”もしくは“1”を各スキャン・パス12A~12Cへ順次シフト・インする。

【0067】その他の部分では、乱数値がシフト・インされれば良いので、BEピン17を常時オン“1”に設定し、セクタ18A~18CをLFSR13側に切り換え、このLFSR13からの出力値(疑似乱数)を各スキャン・パス12A~12Cへシフト・インしている。このとき、図15に示すように、同じパターン(1~3番目と6~12番目)は繰り返し記述子を用いてまとめることができる。

【0068】このようにして、BIST動作中に、BEピン17からの切換信号により各セクタ18A~18Cを各S1ピン15A~15C側に切り換え、各S1ピン15A~15Cから任意の値に設定したデータを各スキャン・パス12A~12Cへ与えて書き込むことによって、LFSR13から各スキャン・パス12A~12Cへ与えられるテスト・パターンの一部を任意の値に修正することができる。

【0069】一方、回路(LSI)10の内部回路11中における内部記憶素子LSIの内部記憶素子は電源投入時には不定状態であるので、BISTを行なう前に内部記憶素子の状態の初期化を行なうが、このとき、MISR14では、クロック信号を1回印加する毎にシフトレジスタ22がシフト動作してその内容が更新され、内部記憶素子の初期化パターン印加中であっても更新が行なわれる。これに対処すべく、前述したように、ATPGプログラムはMISR14の内容をモニタする必要がある、処理が煩雑になる。

【0070】そこで、本実施例では、図4、図5に示すように、BEピン17を各S1ピン15A~15Cと各スキャン・パス12A~12Cからの出力データとともに各ANDゲート16A~16Cに入力し、これらの論理積をMISR14の各シフトレジスタ22へ出力して

いる。これにより、MISR14のシフトレジスタ22を全て“0”に初期化しておけば、BEピン17への切換信号をオフ“0”にするか、S1ピン15A~15Cへの入力データを全て“0”するかで、MISR14内の全てのシフトレジスタ22の内容を“0”に保持することができる。

【0071】通常の回路10としてのシステム動作、もしくは、スキャン動作の場合には、BEピン17に入力される切換信号はオフ“0”になっているので、MISR14内の各シフトレジスタ22の内容は“0”に保持される。また、BIST動作時にも、BIST動作には関係ない各S1ピン15A~15Cへの入力データを全て“0”にすることで、MISR14内の各シフトレジスタ22の内容を“0”に保持できる。

【0072】さらに、BIST動作に先立つ初期化中には、BEピン17への切換信号をオフ“0”に保持することで、MISR14内の各シフトレジスタ22の内容を“0”に保持する。従って、特に、BIST動作前の初期化中において、各スキャン・パス12A~12CからMISR14への出力データが各ANDゲート16A~16Cにおいてマスクされ、MISR14の初期値を保持することが可能になり、MISR14の内容が破壊されるのを確実に防止できる。

【0073】なお、内部回路11(内部記憶素子)の初期化中にMISR14内の各シフトレジスタ22の内容を保持するための他の手段としては、例えば、図7に示すものもある。図4、図5では、各ANDゲート16A~16CにBEピン17からの切換信号を入力していたが、図7においては、クロック信号停止部(禁止手段)25をそなえることにより、初期化中におけるMISR14内の各シフトレジスタ22の内容保持を実現している。

【0074】つまり、図7に示すクロック信号停止部25は、インヒビット・ピン(IHピン)23およびORゲート24から構成されている。IHピン23は、回路10に外部入力ピンとして設けられるもので、SCKピン20からのクロック信号がMISR14内の各シフトレジスタ22に印加されるのを停止する際に、このIHピン23に入力されるクロック停止信号がオフ“0”からオン“1”に設定されるようになっている。

【0075】また、ORゲート24は、SCKピン20からのクロック信号(ネガティブ・パルスで与えられるもの)とIHピン23からのクロック停止信号との論理和を算出してMISR14内の各シフトレジスタ22に印加するものである。これにより、MISR14内の各シフトレジスタ22の内容にかかわらず、IHピン23へのクロック停止信号をオン“1”に設定することで、MISR14内の各シフトレジスタ22にはSCKピン20からのクロック信号が印加されなくなる。

【0076】従って、各シフトレジスタ22における更

新(シフト動作)も行なわれず、全てのシフトレジスタ22の値をそのまま保持でき、この図7に示すような構成によっても、BIST動作前の初期化中、MISR14の内容が破壊されるのを確実に防止できる。ただし、図7に示す回路構成では、図4、図5に示すようにBEピン17からの切換信号を各ANDゲート16A~16Cに入力する場合に比べて、外部入力ピン(IHピン23)が1本多く必要となるが、任意のMISR14の値を指定して保持できる利点がある。

【0077】ところで、図4~図15により上述した例では、本発明を一般スキャン方式に適用した場合について説明したが、本発明は、図16に示すように、バウンダリ・スキャン方式にも適用される。バウンダリ・スキャン方式では、回路上の外部入力ピンと内部回路との間にバウンダリ・スキャン・セルが配置されており、それらの全てを連結してテスト・データ・イン・ピン(TDIピン)からテスト・データ・アウト・ピン(TDOピン)に到るバウンダリ・スキャン・チェーンを構成し、このバウンダリ・スキャン・チェーンにおける各バウンダリ・スキャン・セルを可制御かつ可観測にしている。

【0078】図16において、30はバウンダリ・スキャンLSIであり、このバウンダリ・スキャンLSI30上に、前述のバウンダリ・スキャン・チェーン31Aと2つの内部スキャン・チェーン31B、31Cとが形成されている。そして、図16に示すように、バウンダリ・スキャンLSI30で、これらのスキャン・チェーン(スキャン・パス)31A~31Cが、図4~図7に示したスキャン・パス12A~12Cに代えて配置されている。ただし、図16に示すバウンダリ・スキャンLSI30では、SIピン15Aに代えてTDIピン32が設けられるとともに、SOピン19Aに代えてTDOピン33が設けられている。なお、図16中、LFSR13、MISR14、ANDゲート16A~16C、BEピン17、セレクト18A~18Cは図4~図7により前述したものと全く同様に機能するものである。

【0079】また、図16において、34はバウンダリ・スキャンのためのテスト・クロック信号を入力するテスト・クロック・ピン(TCKピン)、35はバウンダリ・スキャンによるテスト・モードを選択するための選択信号を入力するテスト・モード・セレクト・ピン(TMSピン)、36はTMSピン35からの選択信号に応じてTCKピン34からのテスト・クロック信号に同期して動作するテスト・アクセス・ポート(TAP)回路で、このTAP回路36は、バウンダリ・スキャンLSI30上の各テスト機構に対してアクセスし、バウンダリ・スキャン動作の制御を行なうためのものである。

【0080】さらに、37はTDIピン32からTDOピン33までの間のバウンダリ・スキャン・チェーン31Aをバイパスするためのバイパス・レジスタ、38はTAP回路からの各種制御信号に応じた命令コードを保

持する命令レジスタ、39はマルチプレクサで、このマルチプレクサ39は、命令レジスタ38からの命令コードに応じて動作し、バウンダリ・スキャン・チェーン31A、MISR14からのスキャン・アウト・データおよびバイパス・レジスタ37からのデータを多重化してTDOピン33へ出力するものである。

【0081】なお、上述したバウンダリ・スキャン・チェーン31A、TDIピン32、TDOピン33、TCKピン34、TMSピン35、TAP回路36、バイパス・レジスタ37、命令レジスタ38、マルチプレクサ39といった構成部分は、バウンダリ・スキャン方式として一般的なものである。バウンダリ・スキャン方式では、各種の試験モードを命令レジスタ38の動作コードに割り当てる必要があり、BIST動作を指示するための命令コードが、命令レジスタ38の唯一の動作コードとして予め割り当てられ、その動作コードの際に、TCKピン34からのテスト・クロック信号を印加することで、BIST回路(LFSR13、MISR14等)が動作するように構成されている。

【0082】また、LFSR13およびMISR14からなるスキャン・チェーンをバウンダリ・スキャン内の1チェーンとして扱い、そのスキャン・チェーンのシフト・イン/シフト・アウト動作を指示するための命令コードが、命令レジスタ38の唯一の動作コードとして予め割り当てられている。上述のような構成のバウンダリ・スキャンLSI30におけるテスト・データの構成を以下に示す。

【0083】①TAP回路36の初期化。

②LFSR13/MISR14の選択(命令コードの設定)。

③LFSR13/MISR14の初期化。

④BIST回路の選択(命令コードの設定)。

⑤BIST回路の動作(LFSR13からのバウンダリ・スキャン・チェーン31A/内部スキャン・チェーン31B、31Cへのシフト・イン)。

【0084】⑥システム・クロック(テスト・クロック)信号の印加。

⑦BIST回路の動作(バウンダリ・スキャン・チェーン31A/内部スキャン・チェーン31B、31CからMISR14へのデータ圧縮)。

⑧LFSR13/MISR14の選択(命令コードの設定)。

⑨MISR14からのデータ読出。

【0085】なお、上述のBIST回路の動作を行なう項目⑤および⑦におけるテスト・データは、図11、図15に示したものと同様の記述となる。上述のようにして、本発明をバウンダリ・スキャン方式を採用する回路(LSI30)に対しても、一般スキャンを用いたLSIと同様に、少ないテスト・データ記述で効率の良いテスト・パターンを作成することができる。

【0086】このように、本発明の一実施例によれば、MISR14に不定状態のデータが取り込まれたり初期化中にMISR14の内容が破壊されたりするのを防止して確実かつ容易にBISTを行なうことができる。また、スキャン動作とBIST動作とを組み合わせることにより、わずかなゲート（ANDゲート16A～16C等）の追加で、非常にコンパクトで効率的かつ汎用的なテスト・データの作成が可能で、BISTの効率化や、LSI等の回路設計時の計算機資源および設計工数を大幅に削減できる利点がある。

【0087】従来、LFSR13の出力するパターンは無加工で内部回路に印加されていたが、本実施例では、上述のようにスキャン動作とBIST動作とを組み合わせ、LFSR13の出力とSIピン15A～15C等からの入力データとをセクタ18A～18Cで切り換えることで、内部回路11内の特定の回路に印加される値を任意に変更することが可能になるのである。

【0088】なお、上述した実施例では、BIST（組込み自己試験）でのLSI（回路10、30）の出力期待値の解析に際し、データ圧縮器としてのMISR14を用いた場合について説明したが、本発明はこれに限定されるものでなく、MISRを用いた解析法以外にも、例えば、①遷移カウント法（Transition Count：出力が“0”から“1”へ遷移した回数と“1”から“0”へ遷移した回数とを解析する方法）、②シンドローム法（1's counting：出力に現れた“1”の回数を解析する方法）などにも適用することができる。

【0089】

【発明の効果】以上詳述したように、本発明の自己試験機能組込み型回路によれば、データ圧縮器に不定状態のデータが取り込まれ、データ圧縮器における圧縮データが不定値になるのを確実に防止でき、確実に自己試験を行なうことができる（請求項1、7）。

【0090】また、内部回路の初期化中、データ圧縮器内のデータを保持することが可能になり、データ圧縮器の内容が破壊されるのを確実に防止でき、データ圧縮器の内容をモニタするなどの煩雑な処理が不要になり、容易に自己試験を行なうことができる（請求項3、4、7、10）。さらに、スキャン動作と自己試験動作とを組み合わせることにより、パターン発生器3から各スキャン・バス2へ与えられるテスト・パターンの一部を任意の値に修正することができるほか（請求項5、7）、コンパクトで効率的かつ汎用的なテスト・データの作成が可能になり（請求項2、6、8、9）、自己試験の効率化や、LSI等の回路設計時の計算機資源および設計工数を大幅に削減することができる。

【0091】またさらに、バウンダリ・スキャン方式を採用する回路にも適用することが可能で、この場合にも上述したものと同様の効果を得ることができる（請求項11）。

【図面の簡単な説明】

【図1】第1の発明の原理ブロック図である。

【図2】第2の発明の原理ブロック図である。

【図3】第3の発明の原理ブロック図である。

【図4】本発明の一実施例としての自己試験機能組込み型回路の構成を示すブロック図である。

【図5】本実施例のデータ圧縮器にかかる部分を抽出して示すブロック図である。

【図6】本実施例のパターン発生器にかかる部分を抽出して示すブロック図である。

【図7】本実施例のデータ圧縮器のクロック停止回路（禁止手段）の一例とそのクロック停止回路にかかる部分を抽出して示すブロック図である。

【図8】スキャン・アウト・データの一例を示す図である。

【図9】従来のスキャン回路によるデータ読出パターンの一例を示す図である。

【図10】従来のBISTタイプの回路によるデータ読出パターンの一例を示す図である。

【図11】本実施例のデータ読出パターンの一例を示す図である。

【図12】スキャン・イン・データの一例を示す図である。

【図13】従来のスキャン回路によるデータ書込パターンの一例を示す図である。

【図14】従来のBISTタイプの回路によるデータ書込パターンの一例を示す図である。

【図15】本実施例のデータ書込パターンの一例を示す図である。

【図16】本発明をバウンダリ・スキャン方式のLSIに適用した場合の構成例を示すブロック図である。

【図17】従来のスキャン回路の構成例を示すブロック図である。

【図18】従来のBISTタイプの回路の構成例を示すブロック図である。

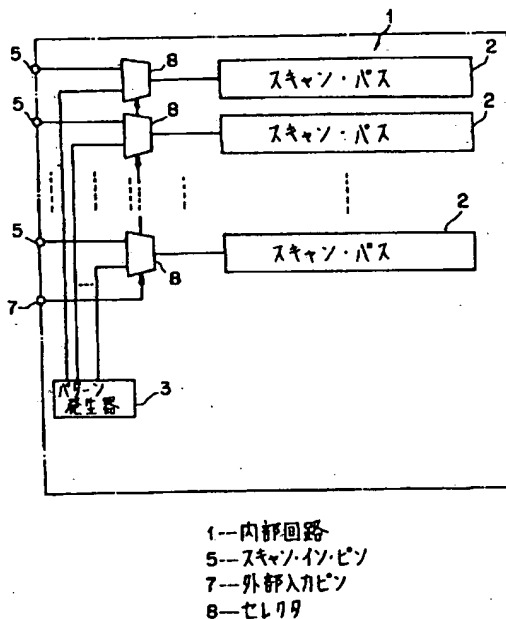
【符号の説明】

- 1 内部回路
- 2 スキャン・バス
- 3 パターン発生器
- 4 データ圧縮器
- 5 スキャン・イン・ピン
- 6 論理ゲート
- 7 外部入力ピン
- 8 セクタ
- 10 回路
- 11 内部回路
- 12A～12C スキャン・バス
- 13 LFSR（パターン発生器）
- 14 MISR（データ圧縮器）
- 15, 15A～15C スキャン・イン・ピン（SIピ

- 31A バウンダリ・スキャン・チェーン (スキャン・パス)
- 31B, 31C 内部スキャン・チェーン (スキャンパス)
- 32 テスト・データ・イン・ピン (TDIピン)
- 33 テスト・データ・アウト・ピン (TDOピン)
- 34 テスト・クロック・ピン (TCKピン)
- 35 テスト・モード・セレクト・ピン (TMSピン)
- 36 テスト・アクセス・ポート (TAP) 回路
- 37 バイパス・レジスタ
- 38 命令レジスタ
- 39 マルチプレクサ
- 101 フリップ・フロップ (回路構成要素)

【图 2】

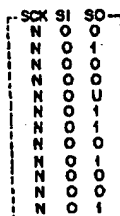
第2の発明の原理ブロック図



【图9】

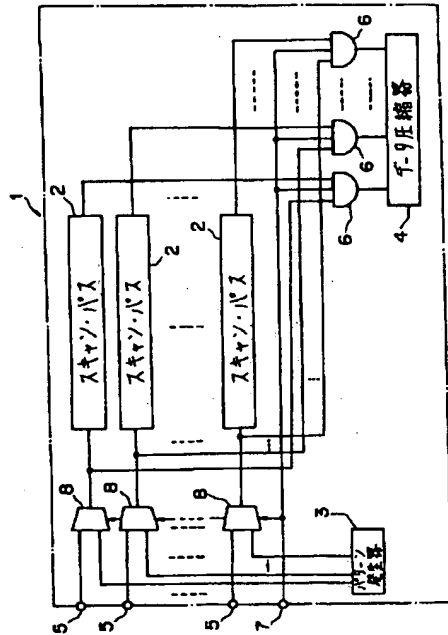
従来のスキャン回路によるデータ読出パターンの一例を示す図

従来のBISTタイプの回路によるデータ読出パターンの一例を示す図



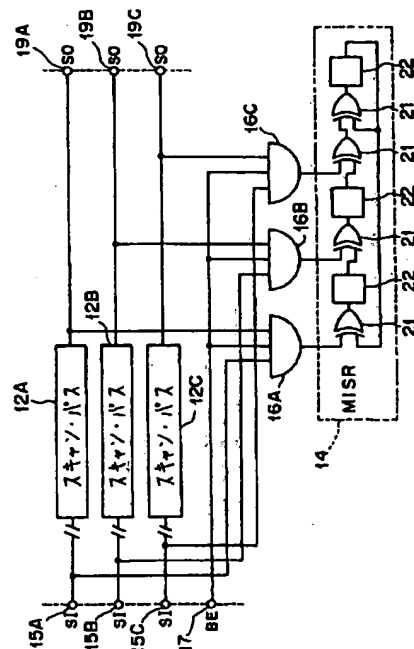
【図3】

第3の発明の原理ブロック図



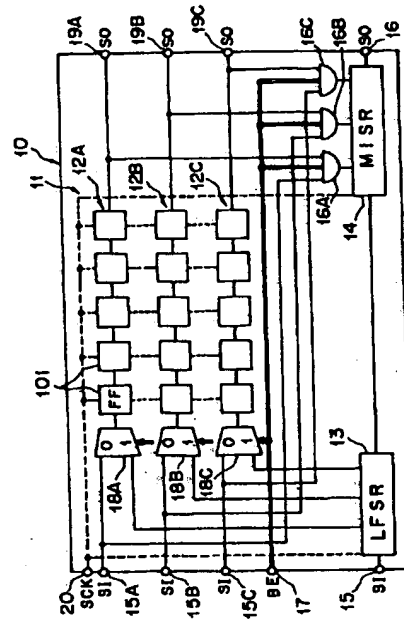
【図5】

本実施例の圧縮器に関する部分と抽出して示すブロック図



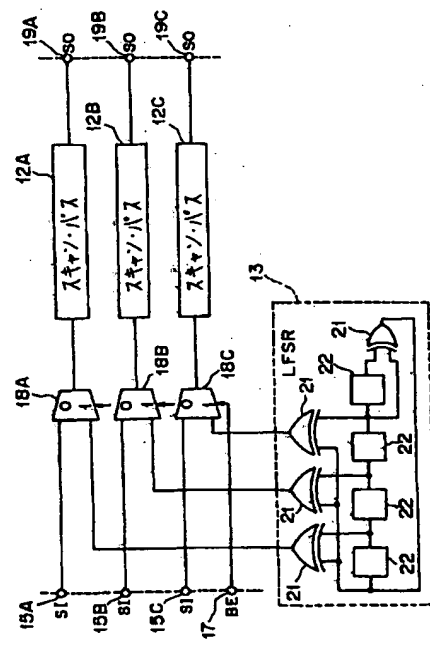
【図4】

本発明の一実施例としての自己試験機能組込み型回路の構成を示すブロック図



【図6】

本実施例のパターン発生器に関する部分と抽出して示すブロック図

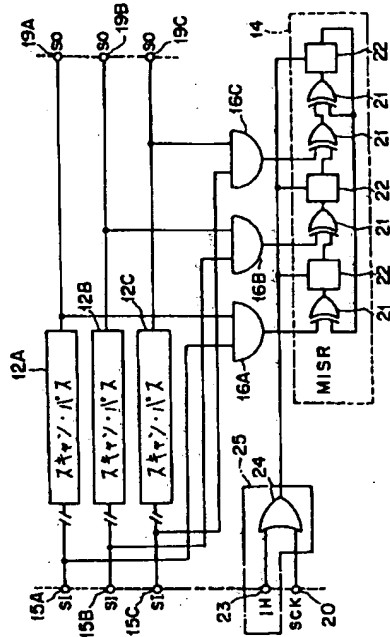


【圖 7】

【圖8】

【 1 1 】

本実施例のデリバタのクロック停止回路(第54段)の一例とその
クロック停止回路に付する部分と抽出して示すブロック図



【圖 1 2】

【圖 13】

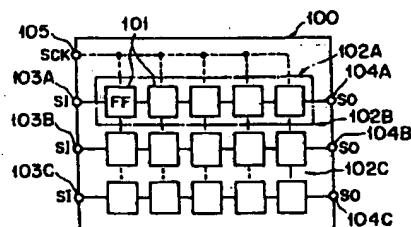
スキャンインデタの一例を示す図 従来のスキャン回路によるデータ書込パターンの一例を示す図



SO	SI	SO
N	O	X
N	1	X
N	O	X
N	O	X
N	1	X
N	1	X
N	O	X
N	1	X
N	O	X
N	O	X
N	1	X

【圖 17】

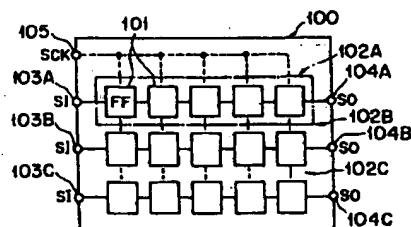
従来のスキャン回路の構成例を示すブロック図



```
-- SCK SI SO-
REPEAT 12:
  N O X
REPEND;
```

【圖 17】

従来のスキャン回路の構成例を示すブロック図



```

--SCK SI BE SO--
REPEAT 4:
  N 1 1 X
REPEND:
  N 0 1 X
REPEAT 7:
  N 1 1 X
REPEND:

```

【图 15】

本実施例のデータ書き込パターンの一例を示す図

```

--SCK SI BE SO-
REPEAT 3 :
  N O I X
REPEND:
  N 0000 X
  N 1000 X
REPEAT 6 :
  N O I X
REPEND:

```

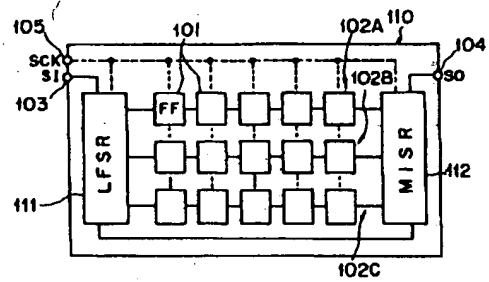
【圖 1 4】

従来のBISTタイプの回路によるデータ書込パターンの一例を示す図

```
-- SCK SI SO-
REPEAT 12:
  N O X
REPEND;
```

【圖 18】

従来のBISTタイプの回路の構成例を示すブロック図



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-015382

(43)Date of publication of application : 19.01.1996

(51)Int.Cl.

G01R 31/28

(21)Application number : 06-151976

(71)Applicant : FUJITSU LTD

(22)Date of filing : 04.07.1994

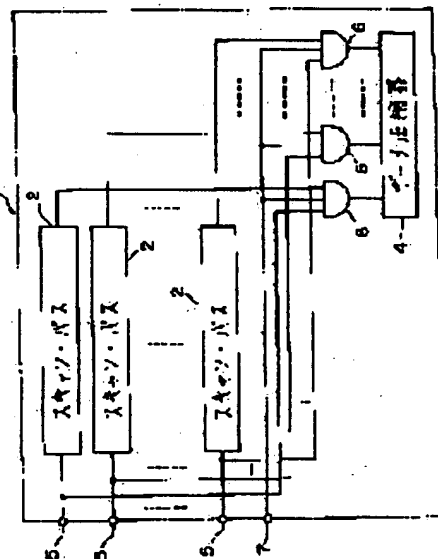
(72)Inventor : HIRAIDE TAKAHISA
TADA TOSHIOKO

(54) CIRCUIT INCORPORATING SELF TEST FUNCTION

(57)Abstract:

PURPOSE: To prevent a compressed data from having an indeterminate value by a constitution wherein a data in indeterminate state is masked at a logic gate and a data compressor takes in the data in indeterminate state.

CONSTITUTION: When the internal circuit 1 is subjected to self test, output data from a plurality of scan paths 2 previously formed on the circuit 1 is fed through a logic gate 6 to a data compressor 4 and stored therein while being compressed. A scan in pin 5 provides a data to the path 2 and the gate 6 provided for each path 2 performs logical operation on the output data from the path 2 and an input data from the pin 5 corresponding to the path 2. When the indeterminate data on the path 2 is read into the compressor 4, input data from the pin 5 is set at a value for masking the indeterminate data and the gate 6 can mask the indeterminate data. This constitution can prevent the compressed data from becoming indeterminate in the compressor 4.



LEGAL STATUS

[Date of request for examination]

22.12.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3403814

[Date of registration]

28.02.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]